

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-350450

(43)Date of publication of application : 21.12.2001

(51)Int.CI.

G09G 3/36
G02F 1/133
G09G 3/20
H04N 5/66

(21)Application number : 2000-167251

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 05.06.2000

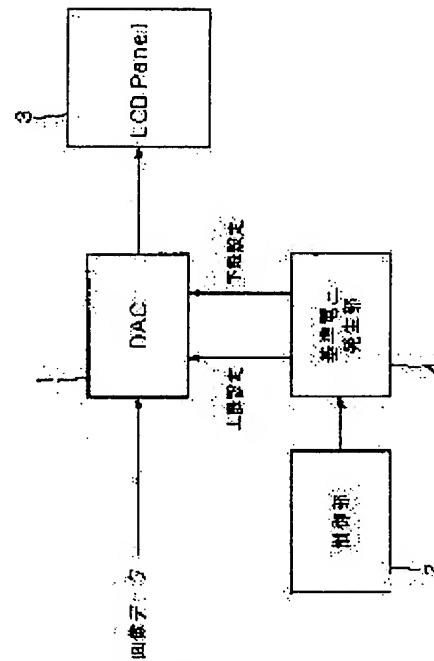
(72)Inventor : KIDA KAZUE

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress deterioration of picture quality when controlling contrast and brightness in a liquid crystal display device.

SOLUTION: This liquid crystal display device is characterized in comprising a D-A converter for processing an input picture data by digital-analog conversion and outputting it, a reference voltage generating part for applying a reference voltage to the D-A converter and setting an output voltage range, a control part for controlling the reference voltage generating part according to controlled variables of contrast and brightness, and a liquid crystal panel for displaying a picture according to output voltages of the D-A converter, and since this configuration permits controlling contrast and brightness irrespective of digital processing, it is possible to evade bit dropouts occurring during digital calculation processing.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-350450
(P2001-350450A)

(43)公開日 平成13年12月21日 (2001.12.21)

(51)Int.Cl. ⁷	識別記号	F I	テマコト ⁸ (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 7 5	G 0 2 F 1/133	5 7 5 5 C 0 0 6
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 F 5 C 0 5 8
	6 4 1		6 4 1 P 5 C 0 8 0
	6 4 2		6 4 2 E

審査請求 未請求 請求項の数 4 OL (全 7 頁) 最終頁に統ぐ

(21)出願番号 特願2000-167251(P2000-167251)

(22)出願日 平成12年6月5日(2000.6.5)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 木田 和重

大阪府茨木市松下町1番1号 株式会社松
下エーヴィシー・テクノロジー内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

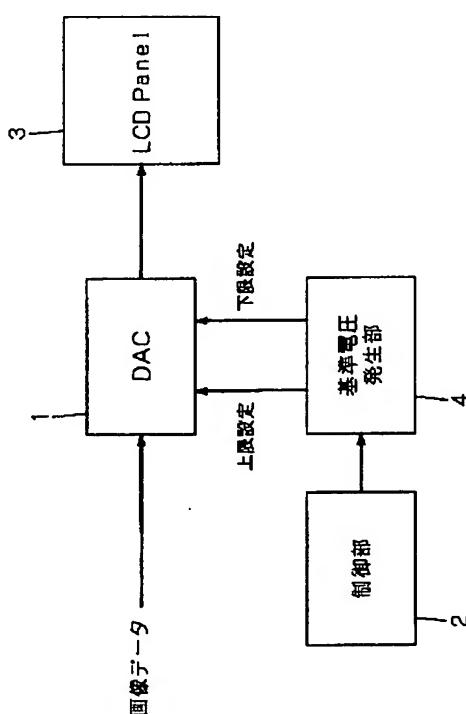
最終頁に統ぐ

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 液晶表示装置において、コントラスト制御およびブライトネス制御を行う際の画質劣化を抑制する。

【解決手段】 入力画像データをデジタルーアナログ変換して出力するD A変換器と、前記D A変換器に基準となる電圧与え出力電圧範囲を設定する基準電圧発生部と、前記基準電圧発生部をコントラストおよびブライトネス制御量に応じて制御する制御部と、前記D A変換器の出力電圧に応じて画像を表示する液晶パネルを備えた事を特徴とし、デジタル演算処理によらず、コントラストおよびブライトネス制御を行うことが可能となるため、デジタル演算処理時に発生するビット落ちを回避できる。



【特許請求の範囲】

【請求項1】 基準電圧の設定により出力電圧範囲を任意に設定可能なデジタルーアナログ変換器を用い、画像のコントラスト制御、ライトネス制御をデジタルーアナログ変換器の基準電圧を制御することにより行う事を特徴とした液晶表示装置。

【請求項2】 画像データをデジタルーアナログ変換して出力するDA変換器と、前記DA変換器に基準となる電圧与え出力電圧範囲を設定する基準電圧発生部と、前記基準電圧発生部をコントラスト制御量及びライトネス制御量に応じて制御する制御部と、前記DA変換器の出力電圧に応じて画像を表示する液晶パネルを備えた事を特徴とする液晶表示装置。

【請求項3】 デジタルーアナログ変換特性を任意に設定可能なDA変換器を用い、画像のコントラスト制御、ライトネス制御をDA変換器の変換特性を制御することによって行う事を特徴とする液晶表示装置。

【請求項4】 n の2乗種類の任意の電圧値を発生させる基準電圧発生回路と、 n ビットの入力画像データをデコードし選択信号を発生させるデコード回路と、前記基準電圧発生回路の出力のうち1つを前記デコード回路よりの選択信号により選択する選択回路と、前記基準電圧発生回路の出力電圧値をコントラスト制御量およびライトネス制御量に応じて制御する制御回路を備えた事を特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、入力画像に対して、輝度制御、 γ 補正等の処理を施し、液晶表示素子に表示する装置に関する。

【0002】

【従来の技術】 液晶表示装置においては、デジタル映像信号、あるいはアナログ映像信号をアナローグデジタル変換処理したものに対して、輝度制御、 γ 補正等の信号処理を施し、出力結果をデジタルーアナログ変換器によりアナログ信号に変換し液晶パネルに出力している。しかし、演算処理を行う事により、原信号に対しビット数の増加を招くため、原信号よりもビット数の多いDA変換器が必要であり、消費電力およびコストの増加を招いていた。

【0003】 前記課題を解決するための物として、特開平11-187285号に記載されたものが知られている。この液晶表示装置について、図7を用いて説明する。図8において、71は入力画像データーに対しある定数を乗算し、画像のコントラストを制御するコントラスト制御回路、72は前記コントラスト制御回路の出力に対し、ある定数を加算して画像の輝度レベルを制御すると同時にデーターが上限値および下限値を越えないよう制御するライトネス制御回路、73は前記ライトネス制御回路72の出力に対しLCDパネルの非直線

性を補正する γ 補正回路、74は前記 γ 補正回路の出力をノイズシェイプ処理によりビット数を圧縮するビット・リダクション回路、75は前記ビット・リダクション回路の出力をアナログ信号に変換するDAC回路、76は前記DAC回路75よりの出力により画像を表示する液晶パネルである。

【0004】 次に動作を説明する。入力画像データーが仮に8ビットであるとし、コントラスト制御回路71により信号の振幅を制御したとするとデーターのビット数が増加し、例えば11ビットとなる。さらにライトネス制御回路72により輝度を制御すると更にビット幅は増加するが上限値および下限値を越えないよう制御されるため、例えば10ビットとなる。また γ 補正回路73によって、LCDパネルの非直線性を補正する処理が行われるため、データーのビット幅が増加し、たとえば12ビットとなる。このまま、階調を損なわないようにDA変換しようとすると12ビットの物が必要となる。また8ビットのDA変換器を用いた場合は下位4ビット分が切り捨てられるため、階調が損なわれる事になるが、ビット・リダクション回路75により12ビットのデーターを誤差拡散する事により8ビットに丸め、8ビットのDA変換器を用いた場合でも、疑似的に12ビットの階調を表現出来るようにしている。

【0005】

【発明が解決しようとする課題】 上述したように、原画像データーに対してデジタル的な演算処理を施すと、最終的な出力ビット数は原画像データーのビット数より多くなる。このような画像データーをアナログ表示に変換するためには、ビット数の多いDA変換器を用いるか、あるいは、ノイズシェイプ等の技法を行ってビット数の圧縮を行う処理が必要となる。多ビットのDA変換器を用いた場合は消費電力やコストの増大を招き、またビットの圧縮を行った場合は、入力画像によっては十分な効果が得られないという問題がある。

【0006】 また、コントラスト及びライトネス制御量を大きくすると、演算処理によるビット落ちが発生するため、階調が失われるという問題もある。

【0007】 本発明はかかる点に鑑み、輝度補正等の処理を行っても画質の劣化の少ない液晶表示装置を提供するものである。

【0008】

【課題を解決するための手段】 前記課題を解決するため、本出願における請求項2に係わる発明では、ライトネス制御およびコントラスト制御をDA変換器の基準電圧を制御することで、出力電圧範囲を変化させる事により行う事を特徴としたものである。また、本出願における請求項4に係わる発明では、 n の2乗種類の任意の電圧値を発生させる基準電圧発生回路と、 n ビットの入力画像データーをデコードし選択信号を発生させるデコード回路と、前記基準電圧発生回路の出力のうち1つを

前記デコード回路よりの選択信号により選択する選択回路と、前記基準電圧発生回路の出力電圧値を制御する制御回路を備えた事を特徴としたものである。

【0009】

【発明の実施の形態】本発明の請求項1に記載の液晶表示装置は、基準電圧の設定により出力電圧範囲を任意に設定可能なデジタルーアナログ変換器を用い、画像のコントラスト制御、ライトネス制御をデジタルーアナログ変換器の基準電圧を制御することにより行う事を特徴としたものである。

【0010】本発明の請求項2に記載の液晶表示装置は、画像データーをデジタルーアナログ変換して出力するDA変換器と、前記DA変換器に基準となる電圧とえ出力電圧範囲を設定する基準電圧発生部と、前記基準電圧発生部をコントラスト制御量及びライトネス制御量に応じて制御する制御部と、前記DA変換器の出力電圧に応じて画像を表示する液晶パネルを備えた事を特徴としたものである。

【0011】本発明の請求項3に記載の液晶表示装置は、デジタルーアナログ変換特性を任意に設定の可能なDA変換器を用い、画像のコントラスト制御、ライトネス制御をDA変換器の変換特性を制御することによって行う事を特徴としたものである。

【0012】本発明の請求項4に記載の液晶表示装置は、nの2乗種類の任意の電圧値を発生させる基準電圧発生回路と、nビットの入力画像データをデコードし選択信号を発生させるデコード回路と、前記基準電圧発生回路の出力のうち1つを前記デコード回路よりの選択信号により選択する選択回路と、前記基準電圧発生回路の出力電圧値を制御する制御回路を備えた事を特徴としたものである。

【0013】以下に、本発明の一実施の形態について図1から図3までを用いて説明する。

(実施の形態1) 図1において、1は入力画像データをアナログ信号に変換するDA変換器、3は前記DA変換器の出力に応じ画像を表示する液晶パネル、2はコントラスト制御量およびライトネス制御量に応じた制御信号を発生させる制御部、4は前記制御部よりの信号に応じて前記DA変換器の出力電圧の最大値および最小値を制御する基準電圧を発生させる基準電圧発生部である。

【0014】上記構成の動作について、図2のグラフを用いて、コントラストを制御する場合について説明する。図2において、上側のグラフは一般的な液晶パネルにおける、入力電圧対光の透過率を示したものであり、下側はDA変換器1の画像データー対出力電圧の特性を示したものである。

【0015】制御部2が基準電圧発生部4を制御し、DA変換器1の特性が図2(Xa)となるように制御したとする。入力データーが0から63まで変化した場合の透過率の変化幅は図2(Ya)のようになる。また、D

A変換器1の特性を図2(Xb)のように制御すると、透過率の変化幅は、図2(Yb)のように大きく、図2(Xc)のように制御すると、透過率の変化幅は、図2(Yc)のように小さくなる。

【0016】次に、図3のグラフを用いて、ライトネスを制御する場合について説明する。図3において、上側のグラフは一般的な液晶パネルにおける、入力電圧対光の透過率を示したものであり、下側はDA変換器1の画像データー対出力電圧の特性を示したものである。

【0017】制御部2が基準電圧発生部4を制御し、DA変換器1の特性が図2(Xa)となるように制御したとする。入力データーが0から63まで変化した場合の透過率の変化幅は図2(Ya)のようになる。また、DA変換器1の特性を図2(Xb)のように制御すると、透過率は、図2(Yb)のように全体に高く、図2(Xc)のように制御すると、透過率は、図2(Yc)のよう全体に小さくなる。このようにライトネス制御をデジタル的な演算処理によらず行う事ができるため、ビット幅の増大等の問題が発生しない。さらに、コントラストおよびライトネスを制御を行なっても、入力画像と同じ階調を保持する事ができる。

【0018】しかし、制御量を大きく設定すると、LCDの特性において非直線な部分を使う事になり、結果として輝度の直線性が損なわれる。

【0019】なお、入力データ及び、DA変換器1のビット幅として6ビットの場合について説明したが、8ビットあるいはそれ以上でも良いことは言うまでもない。

【0020】つぎに、本発明の別の一実施の形態について、図4～図6を用いて説明する。

(実施の形態2) 図4において、41は6ビットの画像データーをDA変換するDA変換回路、42は前記DA変換回路を制御しDA変換特性を変化させる制御部、43は前記DA変換回路の出力に応じて画像を表示するLCDパネルである。また、前記DA変換回路41は、前記制御部42よりの制御信号に応じて64種類の基準電圧を発生させる基準電圧発生回路44、画像データーをデコードし選択信号を発生させるデコーダー46と、画像前記基準電圧発生回路44よりの出力のうち一つを前記デコーダー46の選択信号に応じて出力する選択回路45により構成され、任意のデジタルーアナログ変換特性を得ることが出来る。

【0021】上記構成の動作について、図5～図6のグラフを用いて説明する。まず、図5を用いてコントラスト制御を行った場合についての動作を説明する。図5において右上のグラフは、一般的なLCDパネルの入力電圧対透過率のグラフ、DA変換器41のDA変換特性、左上は総合的な特性である。

【0022】制御部42が基準電圧発生部44を制御し、DA変換器41の特性を図5(Xa)、図5(Xb)、図5(Xc)となるように制御したとする。この

時の画像データーが0から63まで変化した場合の透過率の変化はそれぞれ図5 (Y a), 図5 (Y b), 図5 (Y c) のようになる。コントラストを下げる制御する場合には、図5 (X c) のように出力電圧範囲を狭くかつ直線的に変化するように設定し、コントラストを上げる制御をする場合には、図5 (X b) のように出力電圧範囲を大きくかつ階調の上側および下側を急峻に変化する設定する。

【0023】次に、図6を用いてブライトネス制御を行った場合についての動作を説明する。

【0024】制御部42が基準電圧発生部44を制御し、DA変換器41の特性を図6 (X a), 図6 (X b), 図6 (X c) となるように制御したとする。この時の画像データが0から63まで変化した場合の透過率の変化はそれぞれ図6 (Y a), 図6 (Y b), 図6 (Y c) のようになる。

【0025】ブライトネスを下げる制御する場合には、図6 (X c) のように階調の上側を直線的に下側を急峻に変化する様に設定し、ブライトネスを上げる制御をする場合には、図6 (X b) のように階調の下側を直線的に上側を急峻に変化するように設定する。

【0026】このように、DA変換器の特性を制御する事で、デジタル演算処理によるビット幅の増大を招くことなく、コントラスト、ブライトネスの制御が可能であり、また制御範囲を大きく取った場合でも、輝度の直線性を保つ事が可能である。

【0027】なお、DA変換器41について64種類の基準電圧を用意する構成としているが、幾つかの代表的階調について電圧を与える、その他の部分を直線補完等により発生させるようにしても良い事はいうまでもない。

【0028】また、入力データー及び、DA変換器41のビット幅として、それぞれ6ビットの場合について説明したが、8ビットあるいはそれ以上でも良いことは言うまでもない。

【0029】

【発明の効果】この様に本出願の第1の実施例における発明では、DA変換器の出力電圧範囲を制御する事によりコントラスト、ブライトネス制御を行うため、デジタル演算処理によるビット幅の増大を招く事がないため、ビットリダクション処理が不要であり、さらに処理後も

入力画像データの階調を保つ事ができる。

【0030】また、本出願の第2の実施例における発明では、DA変換器の変換特性を制御する事により、コントラスト制御およびブライトネス制御を行うため、制御範囲を大きくとった場合においても、輝度の直線性を損なう事が無い。

【図面の簡単な説明】

【図1】本発明の実施の形態1における液晶表示装置の構成図

【図2】本発明の実施の形態1における液晶表示装置のコントラスト制御動作を示すグラフ

【図3】本発明の実施の形態1における液晶表示装置のブライトネス制御動作を示すグラフ

【図4】本発明の実施の形態2における液晶表示装置の構成図

【図5】本発明の実施の形態2における液晶表示装置のコントラスト制御動作を示すグラフ

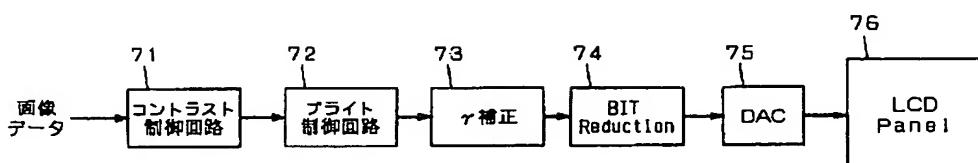
【図6】本発明の実施の形態2における液晶表示装置のブライトネス制御動作を示すグラフ

【図7】従来の液晶表示装置の構成図

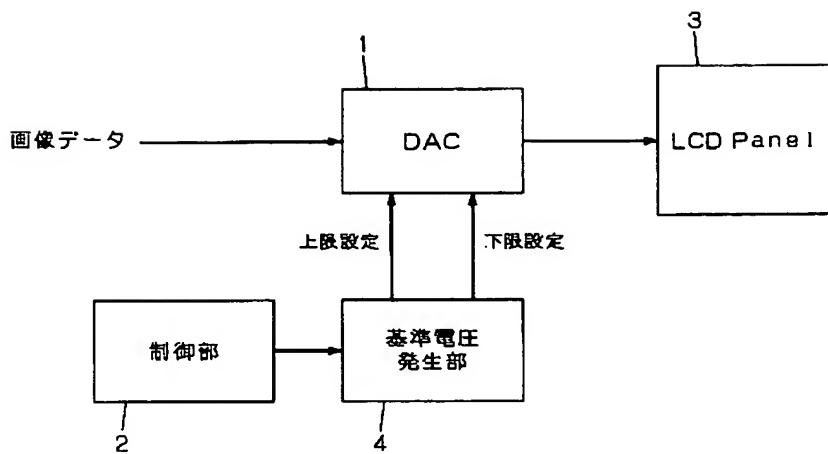
【符号の説明】

- 1 DA変換回路
- 2 制御部
- 3 LCDパネル
- 4 基準電圧発生回路
- 5 選択回路
- 6 デコーダー
- 41 DA変換回路
- 42 制御部
- 43 LCDパネル
- 44 基準電圧発生回路
- 45 選択回路
- 46 デコーダー
- 71 コントラスト制御回路
- 72 ブライト制御回路
- 73 γ補正
- 74 BIT Reduction
- 75 DAC
- 76 LCD Panel

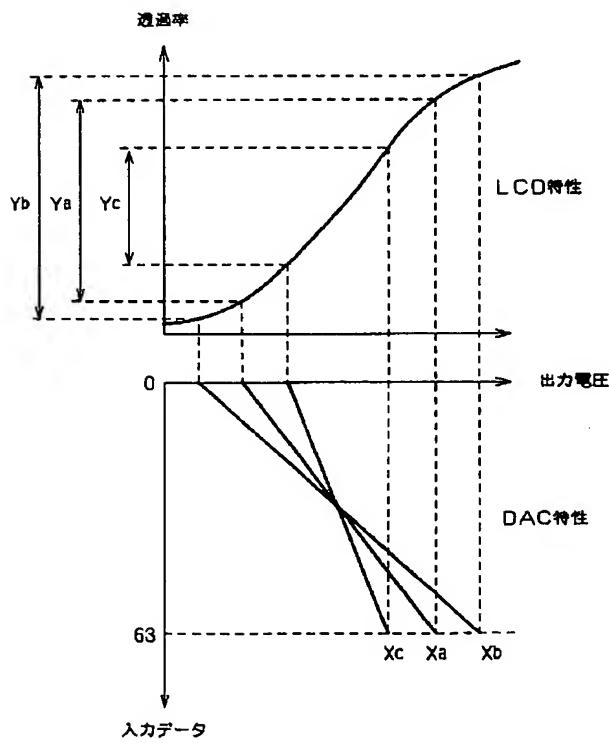
【図7】



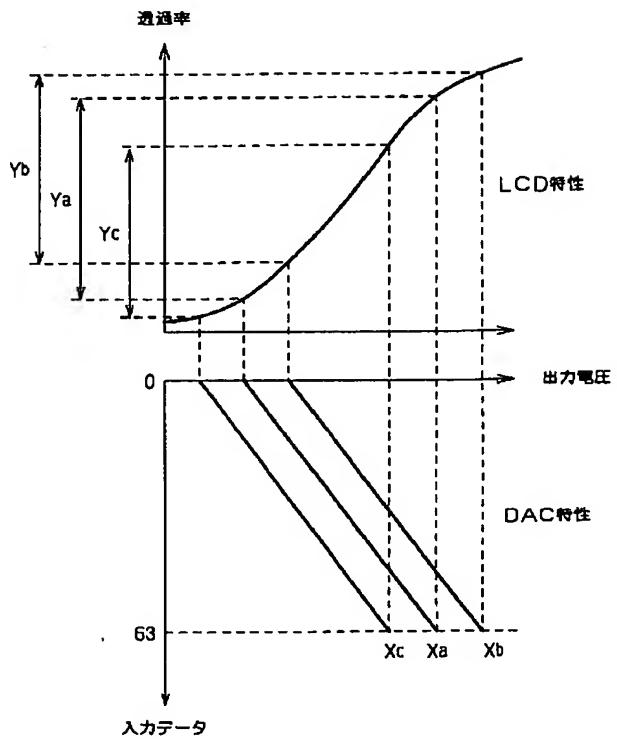
【図1】



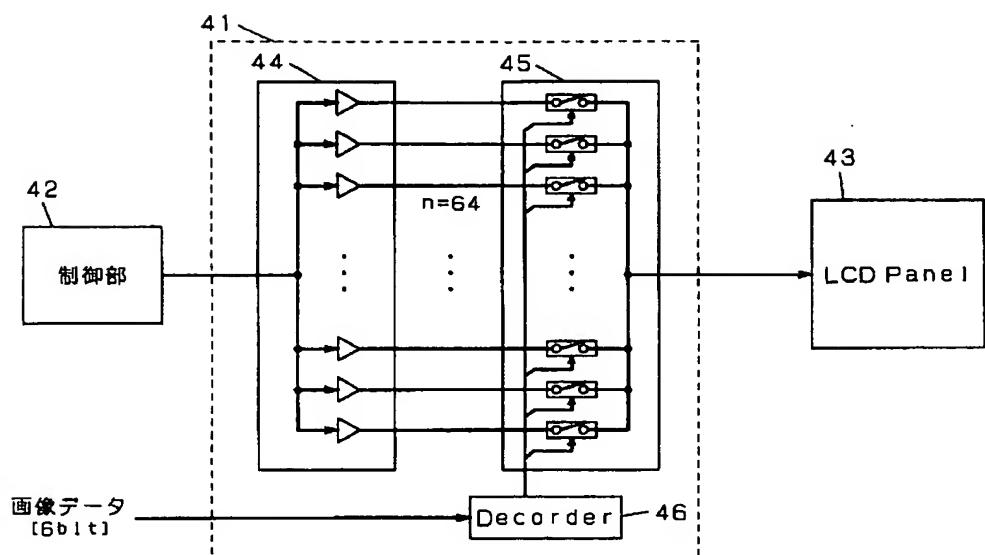
【図2】



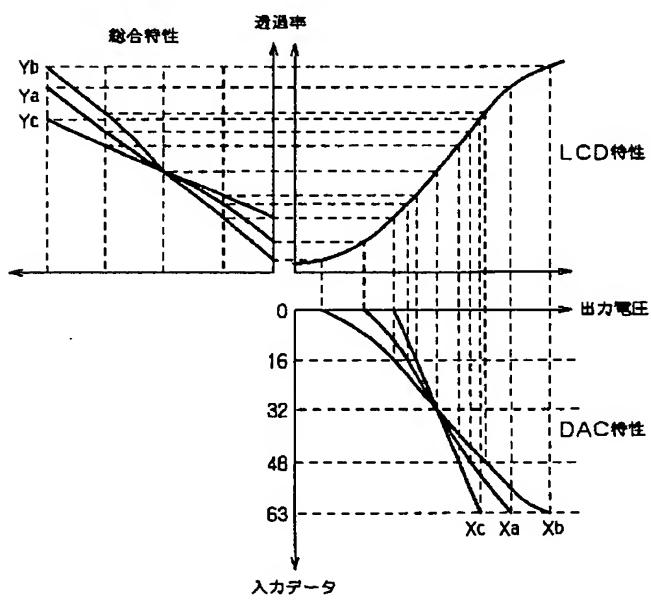
【図3】



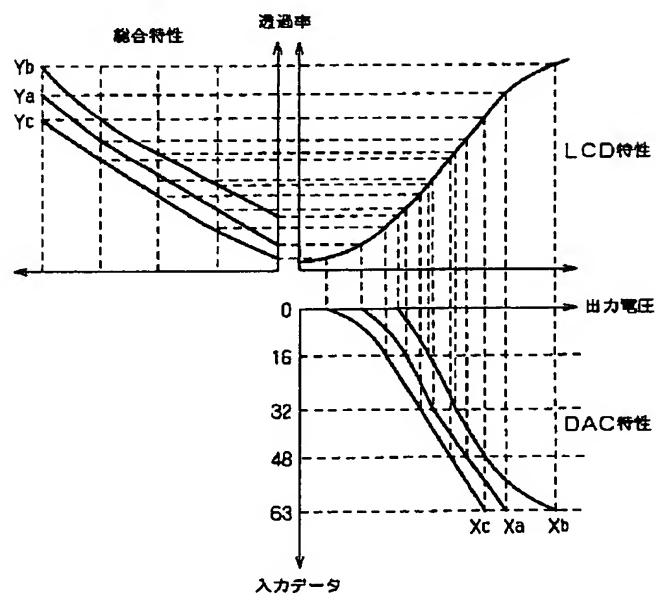
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 7

H 04 N 5/66

識別記号

102

F 1

H 04 N 5/66

マークド (参考)

102B

F ターム(参考) 2H093 NA53 NC13 NC21 ND06 ND07
ND58
5C006 AF46 AF51 AF52 AF83 BB11
BC16
5C058 AA06 BA05 BA07 BA08 BA35
BB05
5C080 AA10 BB05 DD01 EE29 JJ02
JJ05